

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-261017

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H01L 27/10
G11C 11/22
G11C 11/41
G11C 14/00
G11C 11/401

(21)Application number : 10-065095

(71)Applicant : FUJITSU LTD

(22)Date of filing : 16.03.1998

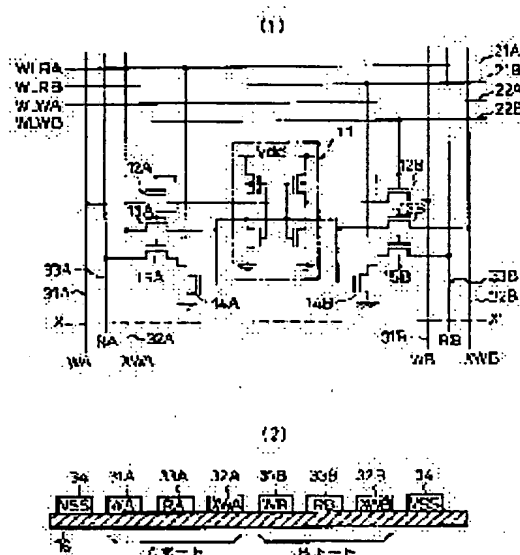
(72)Inventor : KATAKURA HIROSHI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the effects, which are exerted via the parasitic capacitances of bit lines adjacent to each other, to realize a high-speed multiport memory.

SOLUTION: This device is a semiconductor storage device which is provided with a memory cell array, which is arranged with a plurality of memory cells 11, 12A to 15A and 12B to 15B, and a group of bit lines having at least complementary light data lines 31a and 32A and 31B and 32B, which are extended in the row direction in the memory cells of the memory cell array, and a group of lead data lines 33A and 33B. The complementary light data lines 31A and 32A and 31B and 32B are respectively laid out in such a way as to hold the lead data line 33A and the lead data line 33B between them.



LEGAL STATUS

[Date of request for examination]

20.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261017

(43) 公開日 平成11年(1999) 9月24日

(51) Int. Cl.⁴

識別記号

F I

H 0 1 L 27/10

4 5 1

H 0 1 L 27/10

4 5 1

G 1 1 C 11/22

G 1 1 C 11/22

11/41

11/34

3 4 5

14/00

3 5 2 A

11/401

3 6 2 G

審査請求 未請求 請求項の数18 O L (全 12 頁)

(21) 出願番号

特願平10-65095

(22) 出願日

平成10年(1998) 3月16日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 片倉 祥

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

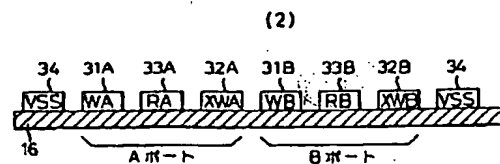
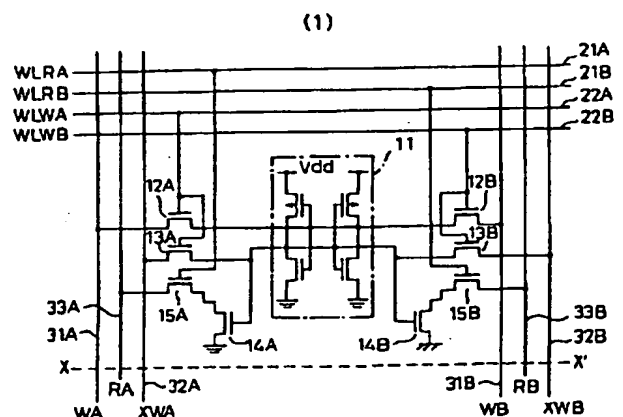
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 隣接するビット線の寄生容量を介した影響を低減してより高速のマルチポートメモリを実現すること。

【解決手段】 複数のメモリセル11、12A-15A、12B-15Bを配列したメモリセルアレイと、メモリセルアレイの各メモリセル内に列方向に伸びる少なくとも相補のライトデータ線31A、32A、31B、32B とリードデータ線33A、33B の組を有するビット線群とを備える半導体記憶装置であって、リードデータ線33A、33B を挟むように相補のライトデータ線31A、32A、31B、32B が配置されている。

図1 実施例の構成



メモリセル
読み出し

【特許請求の範囲】

【請求項1】 複数のメモリセルを配列したメモリセルアレイと、

該メモリセルアレイの各メモリセル内に列方向に伸びる少なくとも相補のライトデータ線とリードデータ線の組を有するビット線群とを備える半導体記憶装置であって、

前記リードデータ線を挟むように前記相補のライトデータ線が配置されていることを特徴とする半導体記憶装置。

【請求項2】 請求項1に記載の半導体記憶装置であって、

前記メモリセルアレイの異なるメモリセルを並行してアクセスするための複数のポートを備え、

前記ビット線群は、前記複数のポートに対応した複数組に分けられる半導体記憶装置。

【請求項3】 請求項2に記載の半導体記憶装置であって、

前記複数のポートの1つは書き込み専用の第1ポートであり、前記複数のポートの他の1つは読み出し専用の第2ポートであり、

前記ビット線群は、前記第1ポートに対応した相補のライトデータ線と、前記第2ポートに対応したリードデータ線とを備え、該第2ポートに対応したリードデータ線は前記第1ポートに対応した相補のライトデータ線に挟まれている半導体記憶装置。

【請求項4】 請求項2に記載の半導体記憶装置であって、

前記ビット線群の複数組の少なくとも1組は、相補のライトデータ線と該相補のライトデータ線に挟まれたリードデータ線とを備える半導体記憶装置。

【請求項5】 請求項4に記載の半導体記憶装置であって、

前記複数のポートの1つは読み出し及び書き込み用の第1ポートであり、前記複数のポートの他の1つは読み出し及び書き込み用の第2ポートであり、

前記ビット線群は、前記第1ポートに対応した第1の相補のライトデータ線と該第1の相補のライトデータ線に挟まれた第1のリードデータ線とを有する第1ポート用ビット線群と、前記第2ポートに対応した第2の相補のライトデータ線と該第2の相補のライトデータ線に挟まれた第2のリードデータ線とを有する第2ポート用ビット線群とを備える半導体記憶装置。

【請求項6】 請求項4に記載の半導体記憶装置であって、

前記複数のポートの1つは読み出しと書き込み用の第1ポートであり、前記複数のポートの他の1つは読み出し専用の第2ポートであり、

前記ビット線群は、前記第1ポートに対応した第1の相補のライトデータ線と該第1の相補のライトデータ線に

挟まれた第1のリードデータ線とを有する第1ポート用ビット線群と、前記第2ポートに対応した第2のリードデータ線とを備える半導体記憶装置。

【請求項7】 請求項2から6のいずれか1項に記載の半導体記憶装置であって、

前記ビット線群を各組毎に分離するように設けられた電源線を備える半導体記憶装置。

【請求項8】 請求項2から7のいずれか1項に記載の半導体記憶装置であって、前記リードデータ線の上下の少なくとも一方に設けられた電源配線を備える半導体記憶装置。

【請求項9】 複数のメモリセルを配列したメモリセルアレイと、

該メモリセルアレイの各メモリセル内に列方向に伸びる複数組のビット線群とを備える半導体記憶装置であって、

前記ビット線群を各組毎に分離するように設けられた電源線を備えることを特徴とする半導体記憶装置。

【請求項10】 請求項9に記載の半導体記憶装置であって、

前記メモリセルアレイの異なるメモリセルを並行してアクセスするための複数のポートを備え、

前記ビット線群は、前記複数のポートに対応した複数組に分けられ、

前記複数のポートの1つは読み出しと書き込み用の第1ポートであり、前記複数のポートの他の1つは読み出し専用の第2ポートであり、

前記ビット線群は、前記第1ポートに対応した第1の相補のリードライトデータ線と、前記第2ポートに対応した第2のリードデータ線とを備え、

前記第1の相補のリードライトデータ線と前記第2のリードデータ線の間には、電源線が配置されている半導体記憶装置。

【請求項11】 請求項9に記載の半導体記憶装置であって、前記リードデータ線の上下の少なくとも一方に設けられた電源配線を備える半導体記憶装置。

【請求項12】 請求項1から11のいずれか1項に記載の半導体記憶装置であって、

前記メモリセルは、強誘電体容量とNMOSFETとを備える半導体記憶装置。

【請求項13】 複数のメモリセルを配列したメモリセルアレイと、

前記メモリセルアレイの各メモリセル内に列方向に伸び、前記メモリセルアレイの異なるメモリセルを並行してアクセスするための複数組のビット線群とを備えるマルチポートメモリであって、

前記メモリセルは、強誘電体容量とNMOSFETとを備えることを特徴とするマルチポートメモリ。

【請求項14】 請求項8に記載のマルチポートメモリであって、

該メモリセルアレイの異なるメモリセルを並行してアクセスするための複数のポートを備え、
前記複数組のビット線群は、前記複数のポートに対応しているマルチポートメモリ。

【請求項15】 請求項13に記載のマルチポートメモリであって、
前記複数組のビット線群は、2組の相補のリードライトデータ線を備え、
前記メモリセルは、2個の直列に接続された強誘電体容量と、4個以上のNMOSFETとを備えるマルチポートメモリ。

【請求項16】 請求項13に記載のマルチポートメモリであって、
前記複数組のビット線群は、1組の相補のリードライトデータ線と、1組の相補のリード専用データ線とを備え、
前記メモリセルは、2個の直列に接続された強誘電体容量と、6個以上のNMOSFETとを備えるマルチポートメモリ。

【請求項17】 請求項13に記載のマルチポートメモリであって、
前記複数組のビット線群は、2本のリードライトデータ線を備え、
前記メモリセルは、1個の強誘電体容量と、2個以上のNMOSFETとを備え、
前記メモリセルから前記リードライトデータ線に読み出した信号と比較するための基準信号を出力する前記メモリセルと同一構成のリファレンスセルを備えるマルチポートメモリ。

【請求項18】 請求項13に記載のマルチポートメモリであって、
前記複数組のビット線群は、1本のリードライトデータ線と、1本のリード専用データ線とを備え、
前記メモリセルは、1個の強誘電体容量と、3個以上のNMOSFETとを備え、
前記メモリセルから前記リードライトデータ線又はリード専用データ線に読み出した信号と比較するための基準信号を出力する前記メモリセルと同一構成のリファレンスセルを備えるマルチポートメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特にメモリセル内に列方向に伸びる複数のビット線群を有し、異なるメモリセルを並行してアクセスできるマルチポートメモリに関する。

【0002】

【従来の技術】異なるメモリセルに並行してアクセスできるマルチポートメモリと呼ばれる半導体記憶装置（メモリ）がある。異なるメモリセルに並行してアクセスする方式としては、アドレス信号の入力ポートとデータ信

号の入出力ポートを2組有し、異なるメモリセルに対してそれぞれ書き込み又は読み出し、又は書き込みと読み出しが並行して行える方式や、1組のポートは書き込み専用で、他の組のポートは読み出し専用である方式や、1組のポートは書き込み及び読み出しが可能で、他の組のポートは読み出し専用である方式など各種ある。この場合、同一メモリセルに同時にアクセスすることは禁止されている。また、アドレス信号の入力ポートは1個であるが、書き込んだデータを同時に読み出すことが並行して行える方式などもある。いずれの方式も、メモリセル内に列方向に伸びるビット線が複数の独立した群になっている。アドレス信号の入力ポートとデータ信号の入出力ポートを2組有し、異なるメモリセルに対してそれぞれ書き込み又は読み出し、又は書き込みと読み出しが並行して行える方式を例として従来のマルチポートメモリを説明する。

【0003】図1は、従来のマルチポートメモリのデコード部の構成を示すブロック図である。図1に示すように、第1のメモリセル位置を示すアドレスAがAポートアドレスバッファ1Aに入力され、アドレスAで示された第1のメモリセル位置へ書き込む又はそこから読み出すデータがAポートデータバッファ2Aで入出力される。同様に、第2のメモリセル位置を示すアドレスBがBポートアドレスバッファ1Bに入力され、アドレスBで示された第2のメモリセル位置へ書き込む又はそこから読み出すデータがBポートデータバッファ2Bで入出力される。図示は省略してあるが、書き込み時にA、Bポートデータバッファ2A、2Bに入力されたデータはライトアンプに供給され、読み出し時にメモリセルからセンスアンプを介して読み出されたデータはA、Bポートデータバッファ2A、2Bから出力される。

【0004】Aポートアドレスバッファ1Aに入力されたアドレスAは、アクセス位置の行を示す部分がAポートロウデコーダ3Aに供給され、列を示す部分がAポートコラムデコーダ4Aに供給される。同様に、Bポートアドレスバッファ1Bに入力されたアドレスBは、アクセス位置の行を示す部分がBポートロウデコーダ3Bに供給され、列を示す部分がBポートコラムデコーダ4Bに供給される。Aポートロウデコーダ3AとBポートロウデコーダ3Bは、それぞれ供給されたアドレスをデコードしてアクセスする行のワード線を活性化する。この従来例では、図示していない制御信号でアドレスA、Bで示すメモリセルへのアクセスがそれぞれ書き込みか読み出しかが指示され、その指示に応じてAポートロウデコーダ3AとBポートロウデコーダ3Bは、それぞれ読み出し用のワード線又は書き込み用ワード線を活性化する。Aポートコラムデコーダ4AとBポートコラムデコーダ4Bは、それぞれ供給されたアドレスをデコードしてアクセスする列のライトアンプ又はセンスアンプを活性化する。ライトアンプとセンスアンプのいずれを活性化す

るかは、上記の制御信号で指示される。

【0005】図2は、従来のマルチポートメモリのメモリセルの構成と配線を示す図である。各メモリセルは記憶素子としフリップ・フロップ（FF）11と複数のNMOSFET12A～15A、12B～15Bを有し、メモリセル部では、このようなメモリセルがアレイ状に配列されており、横方向を行、縦方向を列と称する。行毎にワード線群が、列毎にビット線群が設けられている。図2の（1）に示すように、各行には、Aポートからの読み出しアクセスに応じてメモリセルから読み出しを行うためのワード線（WLRA）21Aと、Bポートからの読み出しアクセスに応じて読み出しを行うためのワード線（WLRB）21Bと、Aポートからの書き込みアクセスに応じて書き込みを行うためのワード線（WLWA）22Aと、Bポートからの書き込みアクセスに応じて書き込みを行うためのワード線（WLWB）22Bの4本のワード線が設けられている。また、各列には、Aポートからの読み出しアクセスに応じてメモリセルから読み出したデータが出力されるリードデータ線（RA）33Aと、Bポートからの読み出しアクセスに応じて読み出したデータが出力されるリードデータ線（RB）33Bと、Aポートからの書き込みアクセスに応じて書き込みデータに対応した状態になる相補のライトデータ線（WA、XWA）31A、32Aと、Bポートからの書き込みアクセスに応じて書き込みデータに対応した状態になる相補のライトデータ線（WB、XWB）31B、32Bの6本のビット線が設けられている。

【0006】FF11は2つの状態を取りえ、一方の端子が「高（H）」の時には他方の端子は「低（L）」になるので、2つの状態を2つの論理値に対応させる。Aポートからの書き込みアクセスに応じてメモリセルにデータを書き込む時には、ライトアンプによりライトデータ線31A、32Aを書き込みデータに応じた状態、例えば、ライトデータ線31AがHで32AがLの状態にした後、ワード線22Aを活性化する。これにより、NMOSFET12Aと13Aがオンして、メモリセル11のFFが書き込みデータに応じた状態になる。

【0007】Aポートからの読み出しアクセスに応じてメモリセル11からデータを読み出す時には、ワード線21Aを活性化する。これにより、NMOSFET15Aがオンする。NMOSFET14Aは、メモリセルのFF11が記憶している状態に応じてオン又はオフしており、オンしていればリードデータ線33Aは接地されて「L」になるが、オフの場合には中間レベルのままである。この差をセンスアンプで検出する。

【0008】各メモリセル毎に設けられるNMOSFET14A、15Aの駆動能力を大きくすることは難しく、記憶されているデータによりリードデータ線33Aに生じる電位の差を短時間で大きくすることは難しい。そのため、読み出しアクセスにおいては、リードデータ

線33Aの電位が少し変化するとセンスアンプで増幅している。

【0009】Bポートからのアクセスに応じてメモリセル11にデータを書き込む時及び読み出す時も同様である。ただし、NMOSFET14Aと14Bには、それぞれメモリセルのFF11の相補の信号が印加されるため、リードデータ線33Aと33Bに読み出されるデータは逆であり、センスアンプの後で一方を反転してデータを揃えている。このようなことを行うのは、メモリセルのFF11に接続される負荷のバランスをとるためである。

【0010】この従来例では、アドレスAとBに対するポートが2組あり、アドレスAとBに対する読み出しと書き込みのためのワード線とビット線の組がそれぞれ設けられているので、AポートとBポートからそれぞれデータの書き込みと読み出しが独立に並行して行える。例えば、同一の行又は同一の列の2つのメモリセルに対して並行して読み出し、書き込み、又は読み出しと書き込みが行える。但し、同一のメモリセルに対して同時にアクセスすることは禁止されている。

【0011】図2の（2）は、図2の（1）のX-X'断面でのビット線層の配列を示す図である。このビット線層の上又は下にワード線層が設けられ、その下にメモリセルを構成するNMOSFETが形成される。参照番号16は絶縁層である。図示のように、両側にVSS電源線34が配置され、その間にライトデータ線（WA）31A、ライトデータ線（WB）31B、リードデータ線（RA）33A、リードデータ線（RB）33B、ライトデータ線（XWB）32B、ライトデータ線（XWA）32Aの順でビット線が配置される。このような配置は、バルクレイアウトのしやすさから決められたものである。

【0012】

【発明が解決しようとする課題】図2のような配列では、隣接するビット線間に寄生容量が生じる。特に、近年マルチポートメモリの容量が大きくなり、この寄生容量が増大して、その影響が無視できなくなってきた。例えば、Aポートからある列のメモリセルに読み出しアクセスを行うのと並行してBポートから同じ列のメモリセルに書き込みアクセスを行う場合を考えてみる。AポートからのアクセスとBポートからのアクセスは全く独立しており、クロックも別にできる。リードデータ線（RA）33Aの電位は、アクセスしたメモリセルのデータに応じて変化しようとする。この時に、Bポートからの書き込みアクセスのため、データに応じてライトデータ線（WB）31Bと（XWB）32Bの一方が「H」に他方が「L」に大きな振幅で変化すると、リードデータ線（RA）33Aの電位は、隣接するライトデータ線（WB）31Bとの間の寄生容量を介して影響を受ける。上記のように、リードデータ線（RA）33Aの少しの電

位変化がセンスアンプで増幅されるが、この直前にライトデータ線(WB)31Bの電位が変化すると、リードデータ線(RA)33Aの電位変化が逆転することがあり、読み出しデータと異なる方向に増幅され、異なるデータが出力されるという誤動作を生じる。

【0013】また、Aポートからある列のメモリセルに読み出しアクセスを行うのと並行してBポートから同じ列のメモリセルに読み出しアクセスを行う場合、リードデータ線(RA)33Aの電位は、アクセスしたメモリセルのデータに応じて変化し、少し変化した時点でセンスアンプで増幅される。ワード線(WLRA)21Aが活性化されている間、リードデータ線(RA)33Aの電位はデータに応じて変化し続ける。この間にBポートからの読み出しアクセスが行われ、リードデータ線(RB)33Bの電位が記憶されているデータに応じて変化した場合、リードデータ線(RB)33Bの電位は、隣接しているリードデータ線(RA)33Aの電位の変化の影響を受け、誤動作を生じることがある。

【0014】上記のような問題は、メモリの速度が遅く、メモリセルからのデータの読み出しによりリードデータ線の電位が十分に变化した後にセンスアンプを動作させて増幅を行うならば、隣接するビット線(ライトデータ線又はリードデータ線)の寄生容量を介した影響は小さくあまり問題にならなかった。しかし、近年マルチポートメモリの動作速度、特に読み出し速度の高速化が要求されており、動作速度を向上する上でこのような寄生容量の影響が無視できなくなってきた。

【0015】また、図2のメモリセルはフリップ・フロップ(FF)で構成されるが、このようなメモリセルは電源を切ると記憶データも消去される揮発性である。並行してアクセスが行えるマルチポートメモリについても、動作速度が速く、構成が簡単な不揮発性のものが求められている。本発明は、上記のような問題を解決すると共に新たな要求に答えるためのもので、第1の目的は、隣接するビット線の寄生容量を介した影響を低減してより高速のマルチポートメモリを実現することであり、第2の目的は、動作速度が速く、構成が簡単な不揮発性のマルチポートメモリを実現することである。

【0016】

【課題を解決するための手段】本発明の第1の態様の半導体記憶装置は、相補のライトデータ線とリードデータ線とを有するもので、上記の第1の目的を実現するため、リードデータ線を相補のライトデータ線と挟んだ配置とする。すなわち、本発明の第1の態様の半導体記憶装置は、複数のメモリセルを配列したメモリセルアレイと、メモリセルアレイの各メモリセル内に列方向に伸びる少なくとも相補のライトデータ線とリードデータ線の組を有するビット線群とを備える半導体記憶装置であって、リードデータ線を挟むように相補のライトデータ線が配置されていることを特徴とする。

【0017】本発明の第1の態様の、ポートが2個で、一方のポートが書き込み専用の第1ポートで他方のポートが読み出し専用の第2ポートで、ビット線群が第1ポートに対応した相補のライトデータ線と第2ポートに対応したリードデータ線を有する半導体記憶装置(メモリ)にも適用できる。その場合、相補のライトデータ線がシールド線として機能して、リードデータ線への雑音の影響を低減する。第1ポートと第2ポートで同じ列にアクセスする場合、メモリセルのデータがリードデータ線に読み出されるのと同時に相補のライトデータ線の電位が変化することが起こり得るが、相補のライトデータ線の電位は一方が「H」に他方が「L」に変化するためリードデータ線への影響は相殺され、影響が低減される。

【0018】また、本発明の第1の態様の、図2に示したポートが2個で、相補のライトデータ線とリードデータ線のビット線群を2組有するメモリにも当然適用できる。この場合には、組毎にリードデータ線を挟むように相補のライトデータ線を配置する。この場合には、同じ組のライトデータ線とリードデータ線が同時に使用されることはなく、リードデータ線の電位がメモリセルのデータに応じて変化する場合には、両側のライトデータ線の電位は、例えば「H」と「L」又は中間レベルなどに固定されるので、両側のライトデータ線はシールド線として働き、リードデータ線への雑音の影響を低減する。なお、一方のポートのみに対応して相補のライトデータ線とリードデータ線が設けられている場合には、一方のみに適用すればよい。

【0019】本発明の第2の態様の半導体記憶装置は、並行して使用される複数組のビット線群を備えるもので、上記第2の目的を実現するため、ビット線群を各組毎に分離するように電源線を配置する。すなわち、本発明の第2の態様の半導体記憶装置は、複数のメモリセルを配列したメモリセルアレイと、メモリセルアレイの各メモリセル内に列方向に伸びる複数組のビット線群とを備える半導体記憶装置であって、ビット線群を各組毎に分離するように設けられた電源線を備えることを特徴とする。

【0020】本発明の第2の態様によれば、ビット線はポートに対応した群毎に電源線で分離されるため、電源線がシールドとして働き、異なるポートのアクセスによるビット線の電位の変化が遮断されるので、雑音が低下して誤動作が防止できる。更に、リードデータ線の上下の少なくとも一方にシールドとして機能する電源配線を設けることが望ましい。

【0021】なお、第2の態様の構成は第1の態様の半導体記憶装置に適用可能である。本発明の第3の態様の半導体記憶装置は、上記第2の目的を実現するため、メモリセルを強誘電体容量とNMOSFETで構成する。すなわち、本発明の第3の態様の半導体記憶装置は、複数のメモリセルを配列したメモリセルアレイと、メモリ

セルアレイの各メモリセル内に列方向に伸び、メモリセルアレイの異なるメモリセルを並行してアクセスするための複数組のビット線群とを備えるマルチポートメモリであって、メモリセルは、強誘電体容量とNMOSFETとを備えることを特徴とする。

【0022】本発明の第3の態様によれば、メモリセルが強誘電体容量を有するため、電源を切っても記憶されたデータは保持される。従って、不揮発性メモリが実現できる。これまで、メモリセルに強誘電体容量を設けて不揮発性メモリを実現することは知られていたが、メモリセルに強誘電体容量を設けて不揮発性マルチポートメモリを実現することについては知られていなかった。

【0023】本発明の構成はどのようなマルチポートメモリにも適用可能である。複数のポートを備えるメモリについては、複数のポートに対応して複数組のビット線群を設ける。各メモリセルには1個又は2個の強誘電体容量を設ける。1個の強誘電体容量を設ける場合には少なくとも2個のNMOSFETでメモリセルを構成し、2個の強誘電体容量を設ける場合には少なくとも4個のNMOSFETでメモリセルを構成する。センスアンプとしてインバータを使用すると動作速度が速いが精度の維持が難しくなるので、その場合にはメモリセルと同一構成のリファレンスセルを設け、その基準電位と各メモリセルから読み出した電位を比較するようにする。

【0024】

【発明の実施の形態】第1実施例は、図2に示した従来例の構成に本発明を適用したものである。図3は、本発明の第1実施例のマルチポートメモリの構成を示す図であり、(1)が各メモリセル回路の構成を示し、(2)がX-X'断面におけるビット線の配列を示す。また、図4は第1実施例におけるライトアンプ7とセンスアンプ8の構成を示す図である。

【0025】図3に示すように、メモリセルはCMOS構造のフリップ・フロップ(FF)11と複数のNMOSFET12A~15A、12B~15Bを有する。また、図4に示すように、ライトアンプ7は、ライトデータ線31A、31B、32A、32Bに接続された駆動ユニット71A、71B、72A、72Bと、駆動ユニット71Aと71Bに印加する信号を反転してアンプユニット72Aと72Bに印加するためのインバータ73とを有する。駆動ユニット71Aは図示のような構成を有し、ライトデータ線31Aを「H」にする時にはPMOSFET711をオンしてNMOSFET712をオフする信号が印加され、ライトデータ線31Aを「L」にする時にはPMOSFET711をオフしてNMOSFET712をオンする信号が印加され、その列を選択しない時にはPMOSFET711とNMOSFET712の両方をオフする信号が印加される。

【0026】Aポートから書き込みアクセスすると、Aポートコラムデコーダ4Aから出力される列選択信号とA

ポートデータバッファ2Aの出力する書き込みデータに応じてライトアンプ駆動信号が生成され、対応する列の駆動ユニット71Aに印加されると共に、インバータ73を介して駆動ユニット72Aに印加される。これにより、Aポート用の相補のライトデータ線31Aと32Aに、書き込みデータに対応した相補の信号が印加される。ロウアドレスについては、図2で説明したように、Aポートロウデコーダから行選択信号が対応する行のワード線(WLWA)22Aに印加される。従って、選択されたワード線(WLWA)22Aと選択された相補のライトデータ線31Aと32Aに接続されるメモリセルに書き込みが行われる。Bポートから書き込みアクセスする場合も同様である。

【0027】図4に示すように、センスアンプ8は、リードデータ線33A、33Bに接続される単一リード形のセンスアンプ81A、82Bを有する。センスアンプ81A、82Bがセンスアンプ駆動信号により選択的に活性化できるようになっている。Aポートから読み出しアクセスすると、ロウアドレスについては、図2で説明したように、Aポートロウデコーダから行選択信号が対応する行のワード線(WLRA)21Aに印加される。これに応じてすべてのリードデータ線33Aはアクセスした行のメモリセルに記憶されたデータに対応した状態に変化を始める。所定時間経過してリードデータ線33Aの電位がある程度変化した状態で、センスアンプ駆動信号により選択した列のセンスアンプ81Aが活性化され、それに接続されるリードデータ線33Aの状態、すなわち記憶されたデータがセンスアンプ81Aから出力される。Bポートから読み出しアクセスする場合も同様である。

【0028】以上説明した構成は従来例と同じである。第1実施例のマルチポートメモリが図2に示した従来例と異なるのは、図示のように、両側にVSS電源線34が配置され、その間にライトデータ線(WA)31A、リードデータ線(RA)33A、ライトデータ線(XWA)32A、ライトデータ線(WB)31B、リードデータ線(RB)33B、ライトデータ線(XWB)32Bの順でビット線が配置されている点である。

【0029】第1実施例では、図3に示すように、リードデータ線33Aはライトデータ線31Aと32Aに挟まれ、リードデータ線33Bはライトデータ線31Bと32Bに挟まれている。Aポートで読み出しを行う時には、ライトデータ線31Aと32Aには信号は印加されないため、リードデータ線33Aがメモリセルの記憶データに応じて変化する時に、ライトデータ線31Aと32Aの電位が変化して、その間の寄生容量を介してリードデータ線33Aの電位に影響することはない。これはリードデータ線33Bについても同様である。

【0030】Bポート用のビット線群であるライトデータ線31B、リードデータ線33B、ライトデータ線3

2Bとリードデータ線33Aとの間にも寄生容量はあるが、隣接していないため容量は小さく、リードデータ線33Aの電位がメモリセルの記憶データに応じて変化する時に、Bポート用のビット線群の電位が大きく変化しても影響は小さく問題はない。従って、図2の従来例で問題になった、リードデータ線33Aと33Bの間の寄生容量により、一方のリードデータ線の電位が大きく変化する時の他方のリードデータ線への影響は低減され、問題にならない。

【0031】以上説明したように、第1実施例のビット線の配置であれば、リードデータ線の電位がメモリセルの記憶データに応じて変化する時の他のビット線からの影響が大幅に低減されるので、誤動作の発生がなくなる。なお、第1実施例の構成において、後述するように、リードデータ線33Aと33Bの上又は下又は両方に電源線を設ければ、隣接しない他の群のビット線との寄生容量が低減されるので、他の群のビット線の電位変化による雑音を一層低減できる。

【0032】図5は、第2実施例のマルチポートメモリの構成を示す図であり、(1)はメモリセル部分の回路を、(2)は(1)のX-X'断面におけるビット線層における配置を示す。第2実施例は、1個のポートは書き込み専用で、他方のポートは読み出し専用のマルチポートメモリである。第2実施例の構成は、第1実施例のワード線21A、22B、ビット線31B、32B、33Aを除き、ビット線33Bを31Aと32Aの間に配置した構成である。

【0033】第2実施例においても、リードデータ線33Bは相補のライトデータ線31Aと32Aに挟まれている。従って、相補のライトデータ線31Aと32Aがシールドとして働いて、リードデータ線33Aへの雑音の影響を低減する。なお、2つのポートから同時に同じ列の別のメモリセルに書き込みと読み出しでアクセスする場合、メモリセルのデータがリードデータ線33Bに読み出されると同時に相補のライトデータ線31Aと32Aの電位が変化するが、相補のライトデータ線の電位は一方が「H」に他方が「L」に変化するためリードデータ線への影響は相殺され、リードデータ線に生じる雑音は小さい。

【0034】図6は、第3実施例のマルチポートメモリのビット線の配置を示す図である。この実施例は、第2実施例の構成において、リードデータ線33Bの上に絶縁層38を介して電源線VDD又はVSSを配置したもので、他の部分、例えば信号線40などからのリードデータ線33Aへの影響を一層低減できる。図7は、第4実施例のマルチポートメモリの構成を示す図であり、

(1)はメモリセル部分の回路を、(2)は(1)のX-X'断面におけるビット線層における配置を示す。第4実施例は、Aポートは書き込みと読み出し兼用で、Bポートは読み出し専用のマルチポートメモリである。Aポ

ートからのアクセスは、ワード線(WLA)23を活性化して、NMOSFET12Aと13Aをオンさせることで行われる。書き込み時には、ライトアンプで相補のリードライトデータ線36Aと37Aを書込みデータに応じた状態にする。読み出し時には、リードライトデータ線36Aと37Aがメモリセル11に記憶された状態に応じて電位差を生じるように変化するので、その電位差を図8に示すような相補形のセンスアンプ81で増幅する。このような相補形のセンスアンプ81については公知であるので、ここでは説明を省略する。Bポートからのアクセスは、ワード線(WLB)24を活性化して、NMOSFET15Bをオンさせることで行われ、第1実施例と同様に、単一リード形のセンスアンプ81Bを介して出力される。

【0035】第4実施例の構成が従来と異なるのは、図7の(1)と(2)に示すように、ビット線層において、Aポート用のリードライトデータ線36Aと37Aを隣接して配置し、それらとBポート用のリードデータ線36Bの間に電源線VDD35を配置し、更に両側に電源線VSS34を配置している点である。図7に示すような第4実施例のビット線の配置により、Aポート用のリードライトデータ線36A、37AとBポート用のリードデータ線36Bは、電源線VDD35によってシールドされるので、一方のポートでアクセスしている時、特に読み出しアクセスを行っている時に、他方のポート用のリードライトデータ線で電位が変化しても、その変化による雑音の影響が低減される。

【0036】図9は、第5実施例のマルチポートメモリの構成を示す図であり、(1)はメモリセル部分の回路を、(2)はビット線の配置を示す。第5実施例は、Aポートは書き込みと読み出し兼用で、Bポートは読み出し専用のマルチポートメモリであり、Aポートによる書き込みと読み出しアクセスは、別のワード線とビット線を利用して行われる。第5実施例の構成は、第1実施例の構成で、Bポートによる書き込みのためのワード線と相補のビットを除いた構成に相当する。

【0037】第5実施例では、図示のように、Aポート用の相補のライトデータ線31Aと32A及びリードデータ線33Aを左側に、Bポート用のリードデータ線33Bを右側に配置し、その間に第4実施例と同様に電源線VDD35を配置し、更に右側ではリードデータ線33Aを挟むように相補のライトデータ線31Aと32Aを配置する。これにより、第1実施例及び第4実施例で説明した効果が得られる。なお、第5実施例では読み出し用のNMOSFET14Aと14BをメモリセルのFF11の同じ側に接続している。このようにすることで、FF11の負荷バランスが若干不釣り合いになるが、動作上は特に問題はなく、リードデータ線33Aと33Bには同じ極性のデータが読み出される。

【0038】図10は、第6実施例のマルチポートメモ

りの構成を示す図であり、(1)はメモリセルの配置とワード線及びビット線の配置を、(2)はメモリセル部分の構成を示す。図10の(1)に示すように、従来のマルチポートメモリのワード線及びビット線に加えて、所定の中間電位の共通ラインが設けられている。図10の(2)に示すように、各メモリセルは、強誘電体材料で作られた2個の容量(キャパシタ)111と112を直列に接続し、その接続部分を共通ライン41に接続した記憶素子を有している。キャパシタ111と112は、強誘電体材料で作られており、電圧を印加すると分極し、電圧の印加を停止してもその分極が維持されるので、不揮発性記憶素子として動作する。

【0039】Aポートを利用した書込みは、ワード線(WLA)23に行選択信号を印加してNMOSFET12Aと13Aをオンする。この状態で、ライトアンプにより相補リードライトデータ線(BLA, XBLA)36Aと37Aの電位を書込みデータに応じて一方を「H」に他方を「L」にすると、キャパシタ111と112に電圧が印加されてキャパシタ111と112の両端に電圧が保持される。読み出しを行う時には、同様にワード線23に行選択信号を印加してNMOSFET12Aと13Aをオンする。これにより、キャパシタ111と112の両端は相補リードライトデータ線36Aと37Aに接続され、相補リードライトデータ線36Aと37A間にキャパシタ111と112の両端に保持された電荷量に応じた電圧が生じる。これを図8に示した相補形のセンスアンプで増幅して出力することにより記憶したデータが読み出せる。Bポートを利用したアクセスについても同様であり、Aポートを利用したアクセスと並行して行える。

【0040】ただし、第6実施例のマルチポートメモリでは、読み出し時にキャパシタ111と112に保持された電荷量で相補リードライトデータ線36Aと37A間に電圧を生じる。センスアンプで増幅する時に誤動作しないようにするには、相補リードライトデータ線36Aと37A間に生じる電圧をある程度大きくする必要がある。そのためにはキャパシタ111と112の容量を大きくする必要がある。特に、高速の読み出し動作を行うためには短時間で相補リードライトデータ線36Aと37A間に所定量以上の電圧を生じさせる必要がある、読み出し速度が速い時に問題になる。次に説明する第7実施例ではこのような問題を解決する。

【0041】図11は、第7実施例のマルチポートメモリの構成を示す図であり、メモリセル部分の構成とワード線及びビット線の配置を示す。第7実施例のマルチポートメモリは、図7に示した第4実施例のマルチポートメモリにおいて、メモリセル11を2個の強誘電体容量111、112で構成したものである。従って、Aポートは読み出しと書込み兼用で、Bポートは読み出し専用であり、センスアンプは図8に示した相補形が使用され

る。電源を切っても記憶したデータが維持される不揮発性メモリである点を除けば、第4実施例のマルチポートメモリと同じ動作をする。第7実施例のマルチポートメモリでは、相補リードライトデータ線36Aと37A間に電圧を生じさせるのはNMOSFET14B又は16Bが行い、キャパシタ111と112に保持された電圧はNMOSFET14B又は16Bを駆動するだけであり、大きな電流を必要としない。従って、キャパシタ111と112の容量を小さくでき、メモリセルを小さくできるので高集積化が可能である。

【0042】図10及び図11に示した第6及び第7実施例のマルチポートメモリでは、強誘電体材料で作られた2個のキャパシタを使用し、相補のライトデータ線及びリードデータ線を設け、相補形のセンスアンプを使用した。半導体メモリでは一層の高集積化が求められており、次に説明する第8及び第9実施例は、第6及び第7実施例のマルチポートメモリを高集積化したものである。

【0043】図12は、第8実施例のマルチポートメモリの構成を示す図であり、(1)はメモリセル部分の構成を示し、(2)はメモリセルの配置とワード線及びビット線の配置を示す。図12の(1)に示すように、第8実施例のマルチポートメモリは、図10に示した第6実施例のマルチポートメモリにおいて、キャパシタ112、NMOSFET13A、13B、及び相補のリードライトデータ線的一方37Aと37Bを除いたものである。第8実施例のマルチポートメモリの動作は第6実施例のものとはほぼ同じであるが、リードライトデータ線が相補形でない。そのため、相補形のセンスアンプを使用する時には、図12の(2)に示すように、各列にメモリセルと同じ構成の比較用メモリセル42を設け、比較用メモリセル42の出力する基準電位とリードライトデータ線36Aと36Bの電位差を増幅する。また、図4に示したような単一リード形のセンスアンプを使用する。

【0044】図13は、第9実施例のマルチポートメモリのメモリセル部分の構成及びワード線及びビット線の配置を示す図である。第9実施例のマルチポートメモリは、図11に示した第7実施例のマルチポートメモリにおいて、キャパシタ112、NMOSFET13A、16B、17B、及び相補のリードライトデータ線的一方37Aと37Bを除いたものであり、高集積化が可能である。これ以上の説明は省略する。

【0045】以上、いくつかのマルチポートメモリを例として本発明の実施例を説明したが、マルチポートメモリには他にも各種の方式があり、それらにも本発明は適用可能である。また、メモリセルの構成も各種考えられるが、同様に本発明が適用可能である。

【0046】

【発明の効果】以上説明したように、本発明によれば、

読み出し時のリードデータ線への雑音の影響が低減されるのでセンスアンプによる増幅時の誤動作がなくなり、半導体メモリの信頼性を向上させることができる。更に、読み出し時のリードデータ線への雑音の影響が低減されるので、読み出した後直ちにセンスアンプによる増幅を開始することができるので、半導体メモリの読み出し速度を向上できる。

【0047】また、本発明によれば、不揮発性のマルチポートメモリが実現される。

【図面の簡単な説明】

【図1】マルチポートメモリのデコーダ部の構成を示すブロック図である。

【図2】従来のマルチポートメモリのメモリセルの構成とワード線及びビット線の配置を示す図である。

【図3】第1実施例のマルチポートメモリのメモリセルの構成とワード線及びビット線の配置を示す図である。

【図4】第1実施例のマルチポートメモリのライトアンプとセンスアンプの構成を示す図である。

【図5】第2実施例のマルチポートメモリのメモリセルの構成とワード線及びビット線の配置を示す図である。

【図6】第3実施例のマルチポートメモリのビット線の配置を示す図である。

【図7】第4実施例のマルチポートメモリのメモリセルの構成とワード線及びビット線の配置を示す図である。

【図8】第4実施例のマルチポートメモリのセンスアンプの構成を示す図である。

【図9】第5実施例のマルチポートメモリのメモリセルの構成とワード線及びビット線の配置を示す図である。

【図10】第6実施例のマルチポートメモリのメモリセル

の配置とその構成とワード線及びビット線の配置とを示す図である。

【図11】第7実施例のマルチポートメモリのメモリセルの構成とワード線及びビット線の配置を示す図である。

【図12】第8実施例のマルチポートメモリのメモリセルの構成とワード線及びビット線の配置とを示す図である。

【図13】第9実施例のマルチポートメモリのメモリセルの構成とワード線及びビット線の配置を示す図である。

【符号の説明】

1 A…Aポートアドレスバッファ

1 B…Bポートアドレスバッファ

2 A…Aポートデータバッファ

2 B…Bポートデータバッファ

3 A…Aポートロウデコーダ

3 B…Bポートロウデコーダ

4 A…Aポートコラムデコーダ

4 B…Bポートコラムデコーダ

11…メモリ素子 (フリップフロップ)

12 A～15 A、12 B～15 B…NMOSFET

21 A…ワード線 (WLRA)

21 B…ワード線 (WLRB)

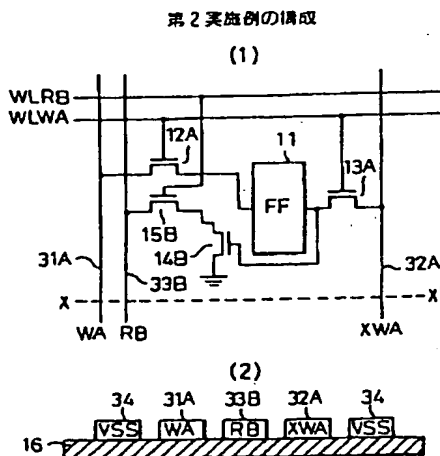
22 A…ワード線 (WLWA)

22 B…ワード線 (WLWB)

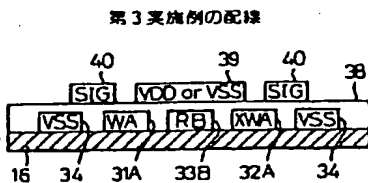
31 A、31 B、32 A、32 B…ライトデータ線

33 A、33 B…リードデータ線

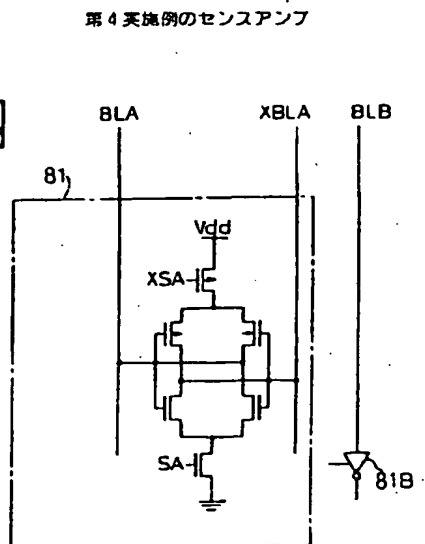
【図5】



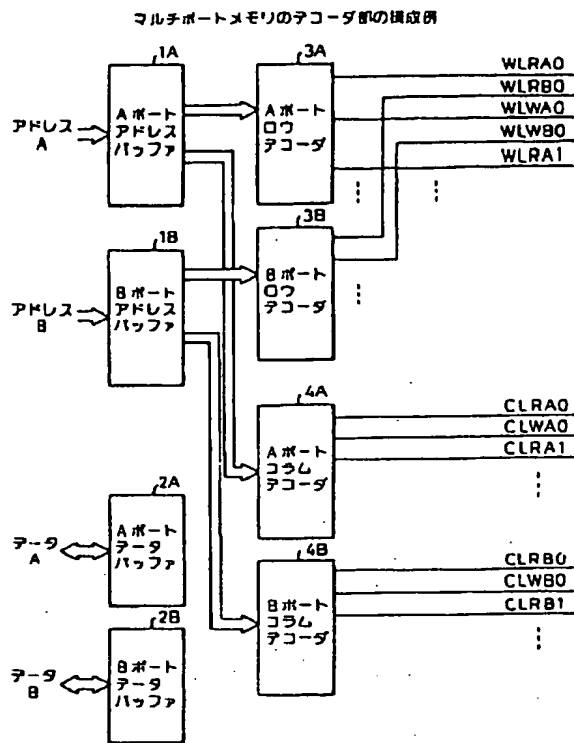
【図6】



【図8】

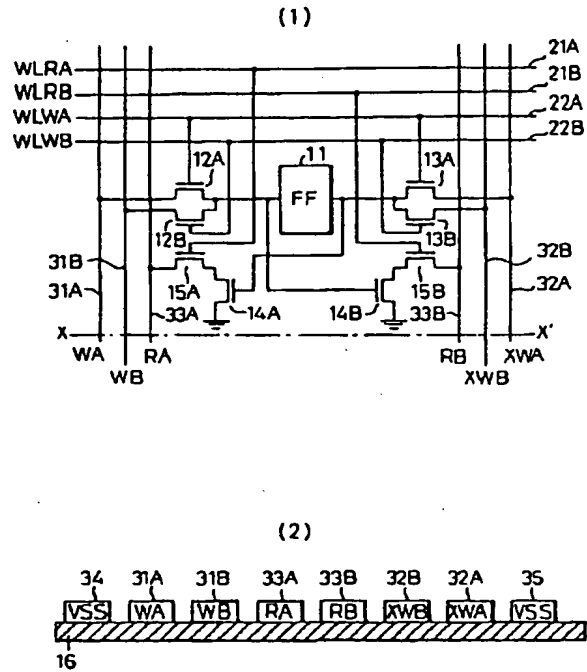


【図1】



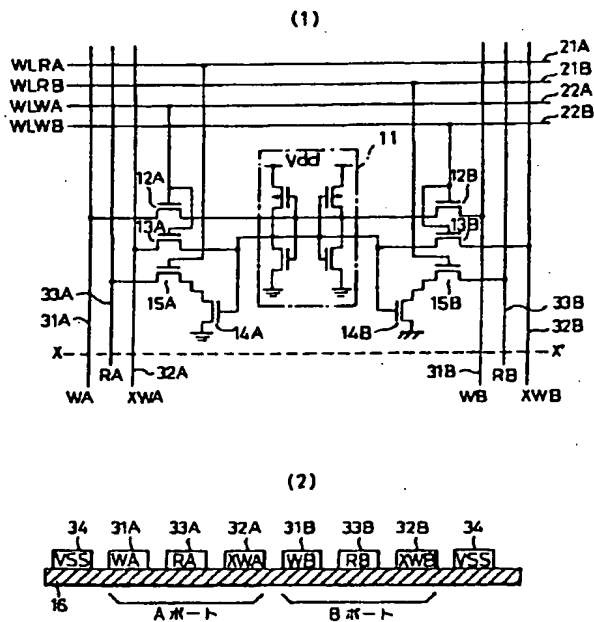
【図2】

従来のマルチポートメモリ(2RW)のセル構成と配線



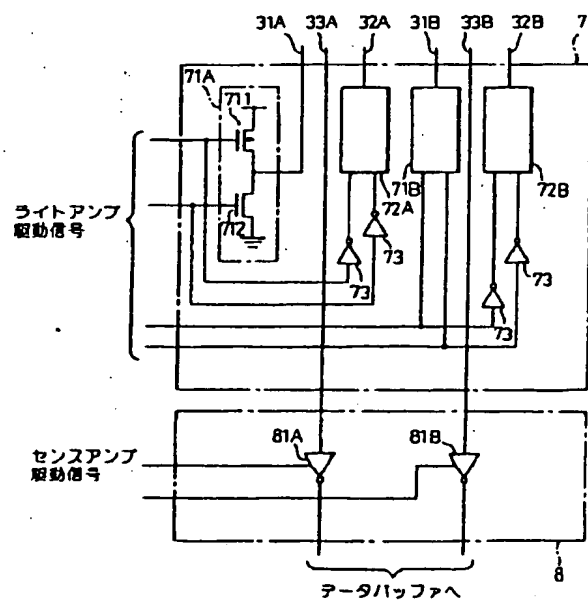
【図3】

第1実施例の構成



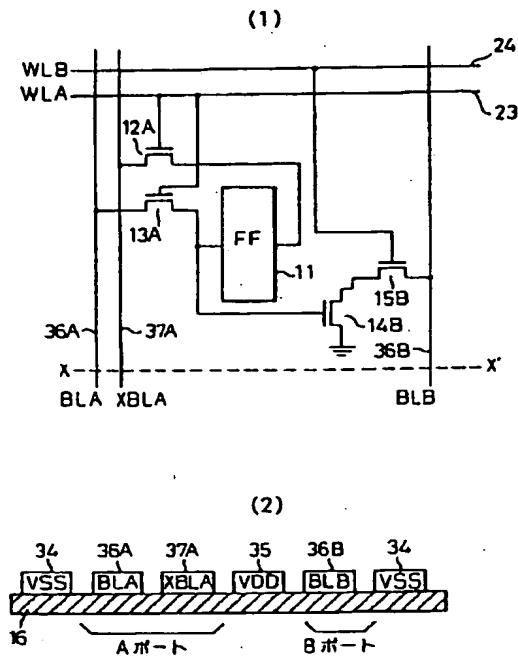
【図4】

第1実施例のライトアンプとセンスアンプの構成



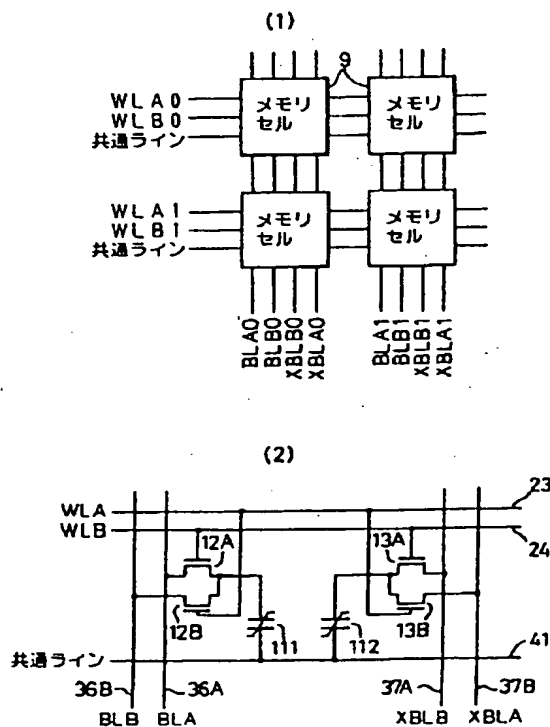
【図7】

第4実施例の構成



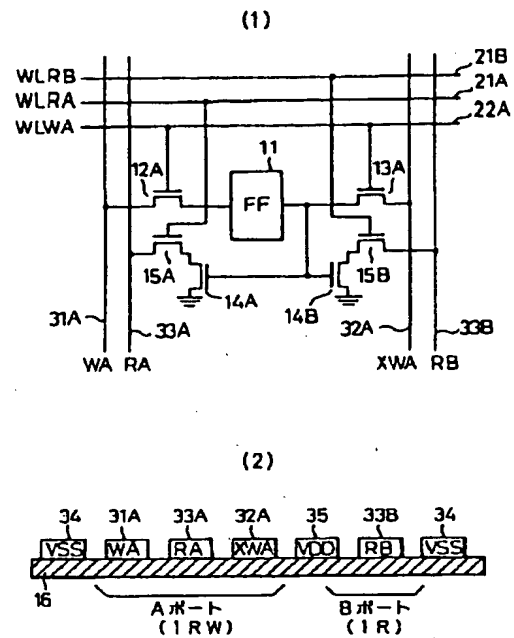
【図10】

第6実施例の構成



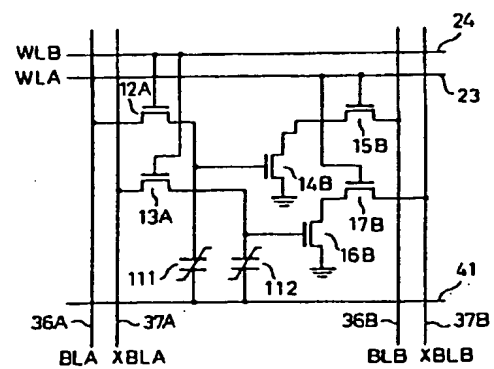
【図9】

第5実施例の構成



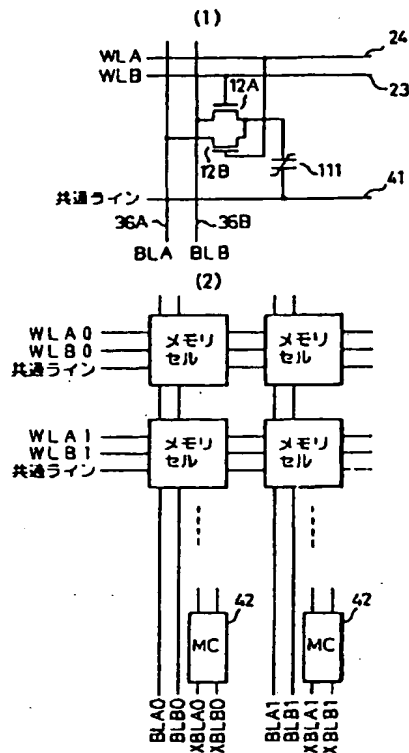
【図11】

第7実施例の構成



【図12】

第8実施例の構成



【図13】

第9実施例の構成

